

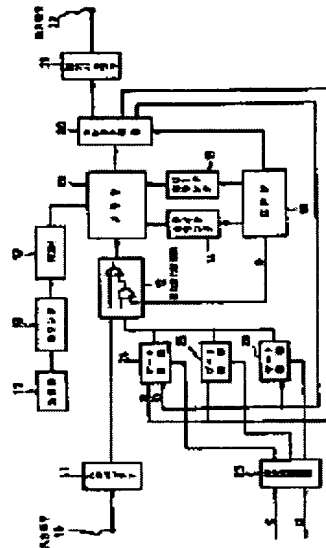
SYSTEM AND DEVICE FOR IMAGE PROCESSING

Patent number:	JP4060777
Publication date:	1992-02-26
Inventor:	MATSUSHITA HIROYUKI; others: 01
Applicant:	NEC CORP; others: 01
Classification:	
- international:	G06F15/66; H04N1/387
- european:	
Application number:	JP19900169981 19900629
Priority number(s):	

Abstract of JP4060777

PURPOSE: To output data by superimposing in memory small in capacity by attaching a bit magnification change function even when the resolution of two image data to be superimposed are different.

CONSTITUTION:When the resolution of the image data is set in 1:1 in a switch control circuit 23, original image data is formed by inputting high-order and low-order bits (a) and (b) at a gate 24. When the image data whose resolution are different in magnification on 2 are superimposed, the image data with coarse resolution is used as input data for first time, and the one with fine resolution as that for second time. The image data for the first time returned from the memory 13 and divided into the high-order and low-order bits (a) and (b) is converted to parallel data with original number of bits by arranging each bit of the parallel high-order bits (a) of a gate 25 by reducing to 1/2 in point of time and by every two bits, and the data with parallel low-order bits (b) of a gate circuit 26 is converted to the parallel data with original number of bits by arranging by reducing each low-order bit (b) to 1/2 in point of time and by every two bits.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

⑫ 公開特許公報(A)

平4-60777

⑬ Int. Cl.⁹G 06 F 15/66
H 04 N 1/387

識別記号

4 5 0

庁内整理番号

8420-5L
8839-5C

⑭ 公開 平成4年(1992)2月26日

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 画像処理方式および装置

⑯ 特 願 平2-169981

⑰ 出 願 平2(1990)6月29日

⑱ 発 明 者 松 下 浩 之 東京都港区芝5丁目7番1号 日本電気株式会社内
⑱ 発 明 者 山 下 嘉 弘 東京都港区西新橋3丁目20番4号 日本電気エンジニアリ
ング株式会社内
⑲ 出 願 人 日 本 電 気 株 式 会 社 東京都港区芝5丁目7番1号
⑲ 出 願 人 日 本 電 気 エ ン ジ ニ ア リ 東京都港区西新橋3丁目20番4号
ング株式会社
⑳ 代 理 人 弁 理 士 後 藤 洋 介 外2名

明 細 書

1. 発明の名称

画像処理方式および装置

2. 特許請求の範囲

(1) 外部装置からのビット数が 2^m (m は2より大きい整数)の平行の画データを重ね合わせ手段に入力し、該入力画データが1回目の入力データであるときはデータの重ね合わせを受けること無くメモリに格納し、この格納された画データを選択的に前記重ね合わせ手段に送り戻し、この重ね合わせ手段において2回目の入力画データと重ね合わせ、重ね合わせた画データを前記メモリに格納し、この格納した重ね合わせた画データを装置外部に合成画データとして出力する画像処理方式において、

解像度が2の倍数で相違する画データを重ね合わせる場合、1回目の入力データとして粗い解像度の画データを、2回目の入力データとして細か

い解像度の画データを用い、前記メモリから送り戻される1回目の画データを上位ビットと下位ビットの2つに分け、ビット倍率変換機能により前記細かい解像度の画データの1画素単位に切り替えて出力し、この1画素単位と前記2回目の画データとを重ね合わせて前記合成画データを得るようにしたことを特徴とする画像処理方式。

(2) 外部装置からの平行の画データを重ね合わせ手段に入力し、該入力画データが1回目の入力データであるときはデータの重ね合わせを受けること無しにメモリに格納し、この格納された画データをセレクト手段により選択的に前記重ね合わせ手段に送り戻し、この重ね合わせ手段において2回目の入力画データと重ね合わせ、重ね合わせた画像を前記メモリに格納し、この格納した重ね合わせた画データを前記セレクト手段により装置外部に前記合成画データとして出力する画像処理装置に於いて、

前記セレクト手段から前記重ね合わせ手段に送り戻される画データを上位ビットのデータと下位

ビットのデータに分ける手段と、前記送り戻される画データが解像度が大きい方であるときは前記上位ビット及び下位のビットのデータをそのまま纏めて前記重ね合わせ回路に送り、前記送り戻される画データが解像度が小さい方であるときは前記上位ビットのデータと下位ビットのデータを前記細かい解像度のビットと同じ数のビットのデータに変換して1画素単位に切り替えるビット倍率変換手段を設けたことを特徴とする画像処理装置。

(3) 前記ビット倍率変換手段が、解像度識別信号を用いて、前記上位ビットのデータと下位ビットのデータをそのまま続けて元の画データに戻す第1のゲート手段と、パラレルの上位ビットを各ビットにつき時間的に半分に個数的に2倍ずつにした第1のパラレルデータに変える第2のゲート手段とこの第2のゲート手段に続いて動作し、パラレルの下位ビットを各ビットにつき時間的に半分に個数的に2倍ずつにした第2のパラレルデータに変える第2のゲート手段とを備え、該第1および第2のパラレルデータが前記細かい解像度の

上述した画像処理方式においては、それ以前のコンピュータによる画像合成より処理時間が短くて済むという利点はあるが、合成する2つの画データが同じ解像度でなければならず、解像度が異なっているときは使用できないという欠点があった。

従って本願発明は、画像合成時間が短くてすみ、しかも解像度が異なっているても処理可能な画像処理方式およびその為の装置を提供しようとするものである。

【課題を解決するための手段】

本発明によれば、外部装置からのビット数が 2^m (m は2より大きい整数)のパラレルの画データを重ね合わせ手段に入力し、該入力画データが1回目の入力データであるときはデータの重ね合わせを受けることなくメモリに格納し、この格納された画データを選択的に前記重ね合わせ手段に送り戻し、この重ね合わせ手段において2回目の入力画データと重ね合わせ、重ね合わせた画データを前記メモリに格納し、この格納した重ね合

画データの1画素単位に切り替えられるようにしたことを特徴とする特許請求の範囲第2項の画像処理装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、画像データを重ね合わせて出力する方法およびそのための装置に関するものである。

【従来の技術】

従来のこの種の画面処理方式としては、外部装置からのパラレルの画データを重ね合わせ手段に入力し、該入力画データが1回目の入力データであるときはデータの重ね合わせを受けることなくメモリに格納し、この格納された画データを選択的に前記重ね合わせ手段に送り戻し、この重ね合わせ手段において2回目の入力画データと重ね合わせ、重ね合わせた画データを前記メモリに格納し、この格納した重ね合わせた画データを装置外部に合成画データとして出力する画像処理方式がある(特願平2-47046)。

【発明が解決しようとする問題点】

せた画データを装置外部に合成画データとして出力する画像処理方式において、解像度が2の倍数で相違する画データを重ね合わせる場合、1回目の入力データとして粗い解像度の画データを、2回目の入力データとして細かい解像度の画データを用い、前記メモリから送り戻される1回目の画データを上位ビットと下位ビットの2つに分け、ビット倍率変換機能により前記細かい解像度の画データの1画素単位に切り替えて出力し、この1画素単位と前記2回目の画データとを重ね合わせ、前記合成画データを得るようにしたことを特徴とする画像処理方式が得られる。

また本発明によれば、外部装置からのビット数が 2^m (m は2より大きい整数)のパラレルの画データを重ね合わせ手段に入力し、該入力画データが1回目の入力データであるときはデータの重ね合わせを受けることなくメモリに格納し、この格納された画データをセレクト手段により選択的に前記重ね合わせ手段に送り戻し、この重ね合わせ手段において2回目の入力画データと重ね合

わせ、重ね合わせた画像を前記メモリに格納し、この格納した重ね合わせた画データを前記セレクト手段により装置外部に前記合成画データとして出力する画像処理装置に於いて、前記セレクト手段から前記重ね合わせ手段に送り戻される画データを上位ビットのデータと下位ビットのデータに分ける手段と、前記送り戻される画データが解像度が大きい方であるときは前記上位ビット及び下位のビットのデータをそのまま纏めて前記重ね合わせ回路に送り、前記送り戻される画データが解像度が小さい方であるときは前記上位ビットのデータと下位ビットのデータを前記細かい解像度のビットと同じ数のビットのデータに変換して1画素単位に切り替えるビット倍率変換手段を設けたことを特徴とする画像処理装置が得られる。

更に、前記の装置に於いて、前記ビット倍率変換手段が、解像度識別信号を用いて、前記上位ビットのデータと下位ビットのデータをそのまま続けて元の画データに戻す第1のゲート手段と、パラレルの上位ビットを各ビットにつき時間的に半

分に個数的に2倍にした第1のパラレルデータに変える第2のゲート手段とこの第2のゲート手段に続いて動作し、パラレルの下位ビットを各ビットにつき時間的に半分に個数的に2倍にした第2のパラレルデータに変える第2のゲート手段とを備え、該第1および第2のパラレルデータが前記細かい解像度の画データの1画素単位に切り替えられるようにしたことを特徴とする画像処理装置が得られる。

〔実施例〕

第1図は、本装置の一実施例を示すブロック図である。

はじめに基本的な構成および動作を説明すると、入力端子10からはパラレル画データが入力される。ここでは簡単のため、8ビットで説明するが、これ以上の多数ビットでも同様な構成で処理することが出来る。この入力した画像データは、入力バッファ11を介して重ね合わせ回路12へ入力される。この入力画データが1回目のものとする、重ね合わせ回路12のもう1つの入力には画

データが入力されないように設定されており、入力画データはそのままメモリ13に書き込まれる。入力画データが2回目のときは、もう1つの入力には、後述するように、先に送った1回目の画像が入力されており、2つの画像は重ね合わされてメモリ13に書き込まれる。

メモリ13はライトカウンタ14とリードカウンタ15を介しコンピュータ（以下CPUと略称する）16により制御されて画データの格納と出力を行なう。

セレクト回路20は、CPU16により制御されて、メモリ13に格納されている画データが入力画データのままだものであればそれを重ね合わせ回路12に戻して第2画目との重ね合わせに供し、重ね合わせた画像であれば出力バッファ21を介して出力端子22に送る。

次に重ね合わせ回路12およびこの制御を行う制御切替回路23とゲート回路23、24、25（以上をまとめて重ね処理部という）について説明する。1回目の画データをメモリ13に格納す

るときは、重ね合わせ信号dをオフにし、3つのゲート回路24、25、26からのメモリの画データをストップして、入力バッファ11からの画データをそのままメモリ13に格納する。ここにセレクト回路20からゲート回路24～26への入力画データは、上位ビットaと下位ビットbに分けられていて、ゲート回路24には上位ビットaと下位ビットbの両方が入力され、ゲート回路25には上位ビットaのみが、ゲート回路26には下位ビットbのみが入力される。

次に、2回目の画データをメモリに格納する際に、重ね合わせ信号eをオンにし、3つのゲート回路24～26からのメモリの画データと外部からの2回目の画データとを重ね合わせ回路12で重ね合わせて再びメモリ13に格納する。

この重ね合わせにおいて、1回目の画データと2回目の画データとが同じ解像度（密度）の場合はそのまま重ね合わせればよい。しかし、1:2の関係になった場合は、先に粗い解像度の画データをメモリ13に格納しておき、2回目の細かい

データを受けたときに第2図のようにメモリ13からの出力データを2画素同じデータにする必要がある。より具体的にいえば、切替制御回路23により制御されて、画データの解像度が1:1の場合は、ゲート24で上位ビットaと下位ビットbをそのまま続けて入力して元の画データを形成し、解像度が2の倍数で相違する画データを重ね合わせる場合(ここでは1:2)、1回目の入力データとして粗い解像度の画データを、2回目の入力データとして細かい解像度の画データを用い、前記メモリから送り戻される上位ビットaと下位ビットbに分けられた1回目の画データを、ゲート25ニオイテパラレルの上位ビットを各ビットを時間的に半分に個数的に2つずつ並べて元のビット数のパラレルデータに変え、ゲート回路26に於いてパラレルの下位ビットを各下位ビットを時間的に半分に個数的に2つずつ並べて元のビット数のパラレルデータに変える。この様なビット倍率変換機能により前記細かい解像度の画データの1画素単位に切り替えて出力し、この1画素単

アドレスを効率よく指定することでメモリ容量を最小限に抑えることができる。例えば、解像度の比率が1:2の画データを重ね合わせる場合について考えてみる。もちろん、他の場合の比率でも行うことができる(但し、2の倍数に限る。)。この場合データの容量としては1:4の関係になるので、第3図のように細かい解像度のデータ量に対し、粗い解像度のデータ量はその1/4である。従って、重ね書きを行う場合、1回目の画データは粗い解像度のデータとし、細かい解像度の全容量の3/4で書き込みアドレスをCPU16でセットしておけば、第3図に示すところの網がけ部分に格納されることになる。次に、2回目の細かい解像度のデータを受けたときにその3/4のアドレスから読み出しを開始し、それと上述の細かい解像度のデータとを重ね合わせた画データを、0番地から順に書き込めば良い。

メモリ13で必要な制御信号は、発振器17によりカウンタ18を動作させ、必要なタイミング信号をROM19により発生させメモリ13に供

位と前記2回目の画データとを重ね合わせて前記合成画データを得ることが出来る。このために、解像度が1:1か1:2かを識別する信号dおよび8ビット1パルスのクロックCを入力する。

なお、ここでは、簡単のため1:1および1:2の比率について説明しているが、他の比率でも同様な構成で実現できる(ただし、2の倍数に限る)。

次にメモリ13とCPU16とセレクト回路20の間のデータの動きについて説明する。

重ね合わせ回路12の画データが入力されメモリ13に格納される。また、その格納された画データは、セレクト回路20に出力されCPU16の命令によって端子Xまたは端子Yへ出力される。メモリ13の画データと外部からの画データとを重ね合わせるときは、端子Yから重ね合わせ回路12へ上位ビットのデータと下位ビットのデータに別けて送出し、重ね済みの画データを出力するときは端子Xから出力バッファ21へそれぞれ出力する。格納の際に、CPU16により書き込む

給する。また、リードアドレスおよびライトアドレスは、必要なスタート番地をCPU16よりセットして動作させる。

〔発明の効果〕

以上説明したように本発明は、重ね合わす2つの画データの解像度が相違していても、ビット倍率変換機能を持たせることにより、少ないメモリで重ね合わせて出力させることができ、しかも処理時間はコンピュータの場合より少なく済む利点を有している。

4. 図面の簡単な説明

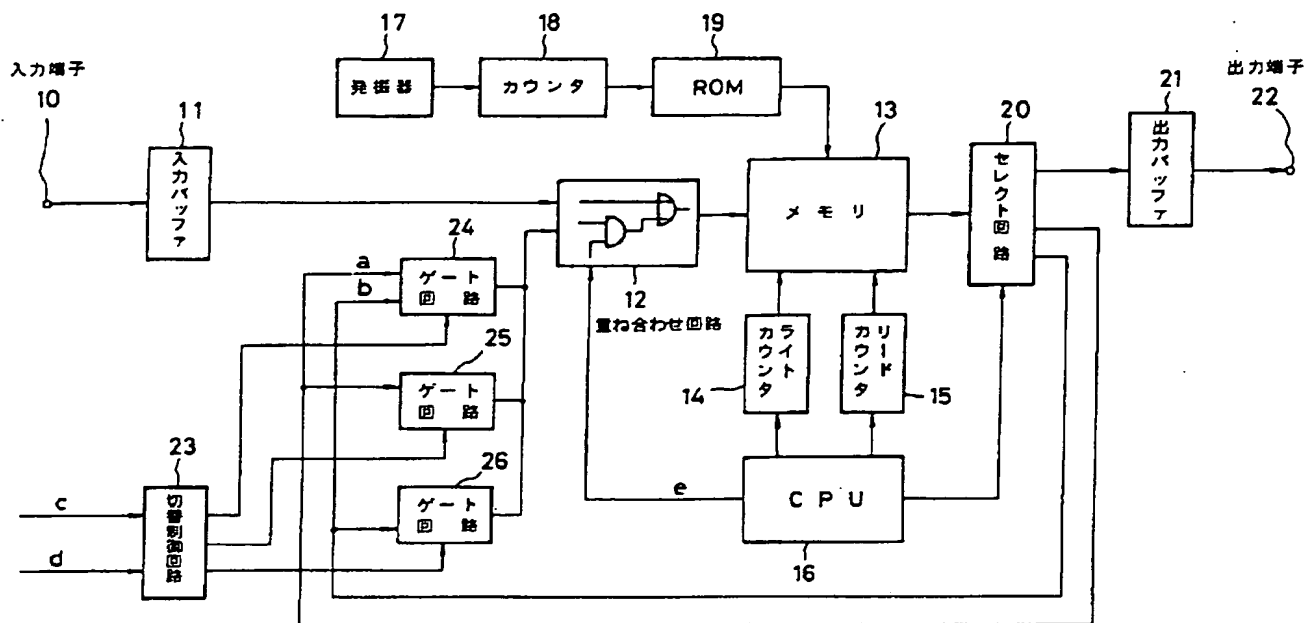
第1図は本発明の一実施例の構成を示すブロック図、第2図は重ね合わせの処理方法を説明する図、第3図は解像度の精粗と画データ量の関係を示す図である。

記号の説明: 11…入力バッファ、12…重ね合わせ回路、13…メモリ、16…CPU、20…セレクト回路、21…出力バッファ、23…切替制御回路、24~26…ゲート回路。

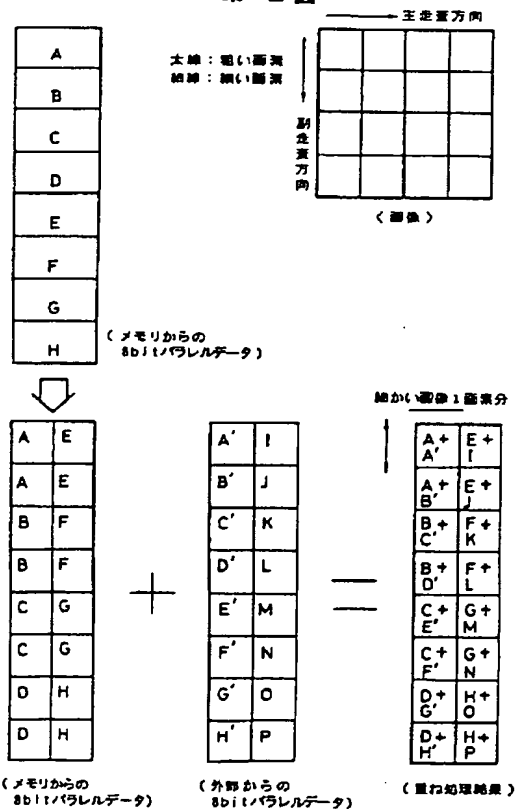
代理人 (7783) 弁理士 池田 憲保



第 1 回



第 2 圖



第 3 圖

